

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 30 日

Application Date

申請案號：092117888

Application No.

申請人：友達光電股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 9 月 10 日

Issue Date

發文字號：09220917200

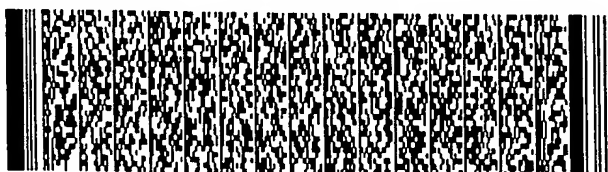
Serial No.

申請日期：	IPC分類
申請案號： 92117888	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	形成低溫多晶矽薄膜電晶體之方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 陳坤宏
	姓 名 (英文)	1. Chen, Kun-Hong
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣淡水鎮新興里20鄰新春街81號8F
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. AU OPTRONICS CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區力行二路1號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No.1, Li-Hsin Road 2, cience-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1.



TW1167E(友達) .pid

四、中文發明摘要 (發明名稱：形成低溫多晶矽薄膜電晶體之方法)

一種形成低溫多晶矽薄膜電晶體之方法，該方法包括：形成一多晶矽層於該基板上；形成一閘極氧化層於該多晶矽層上；圖案化該閘極氧化層與該多晶矽層，其係利用微影與蝕刻製程完成；形成一閘極於該閘極氧化層之上；以及植入摻質，其係以該閘極為遮罩，以形成源極與汲極。

五、(一)、本案代表圖為：第 2A 圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基板	202：緩衝層
204：多晶矽層	205：光阻層
208：閘極氧化層	

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

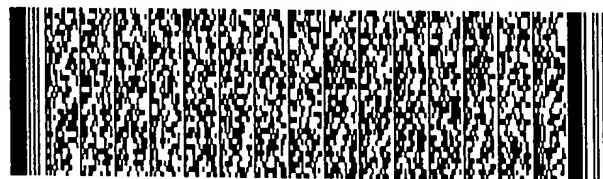
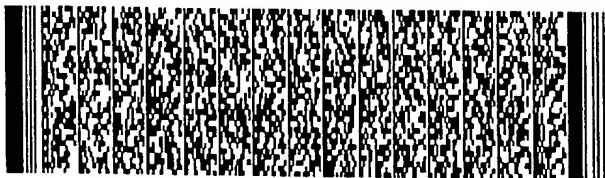
本發明是有關於一種形成低溫多晶矽薄膜電晶體之製程方法，且特別是有關於一種形成無光阻與化學溶劑殘留於多晶矽上之低溫多晶矽薄膜電晶體的製程方法。

【先前技術】

現今平面顯示器中的薄膜電晶體係多以非晶矽 (amorphous silicon) 所製程，少數高階產品則以電子移動率 (mobility) 高的多晶矽 (poly silicon) 製程。多晶矽技術可容許整合更多的電子電路，因而可以降低整體產品的複雜度及重量。多晶矽製程中，最高溫度約為 500°C 以上，接近玻璃基板開始軟化的溫度。

請參照第1A~1J圖，其係顯示一傳統低溫多晶矽薄膜電晶體的製作流程。首先，於第1A圖中，一緩衝層102、一多晶矽層104係依序形成於一基板100上，其中，多晶矽層104係利用準分子雷射對一非晶矽層進行結晶回火而形成；接著，再形成一具圖案之光阻層105於多晶矽層104之上，並以光阻層105為遮罩，蝕刻多晶矽層104，再以化學溶劑去除殘留的光阻後，其結構係如第1B圖所示。

接著，參考第1C圖，沈積一層閘極氧化層108於緩衝層102與多晶矽層104之上，並形成一導電層於閘極氧化層108之上，利用微影與蝕刻製程後，形成一具有圖案之閘極110。然後，於第1D圖中，形成一光阻層112於閘極110與閘極氧化層108之上，並以光阻層112為遮罩，對基板



五、發明說明 (2)

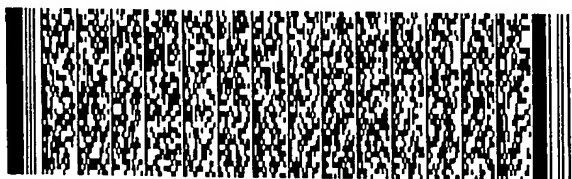
100 植入重濃度之磷摻質，而形成NMOS電晶體之源極/汲極區104a、104b、104c與104d。

之後，於第1E圖中，去除殘留之光阻層112，並以閘極層110為遮罩，對基板100植入輕濃度之磷摻質，而形成NMOS電晶體之輕摻雜區104m、104n、104x與104y。接著，於第1F圖中，再次形成一光阻層114於閘極110與閘極氧化層108之上，並以光阻層114為遮罩，對基板100植入重濃度之硼摻質，而形成P型電晶體之源極/汲極區104i與104j。

於第1G圖中，先去除光阻層114，再形成一內層介電層116於閘極層110與閘極氧化層108之上，並形成數個開口，於內層介電層116與閘極氧化層108之中。然後，於第1H圖中，形成可以與源極/汲極區104a、104b、104c、104d、104i與104j電性連接的電極118。

接著，於第1I圖中，係形成一保護層120於電極層118與內層介電層116之上，並形成開口於畫素區的保護層120中。最後，於第1J圖中，形成可以與畫素區之電極118電性連接的透明電極122，以完成具有低溫多晶矽薄膜電晶體的製程。

然而，高電子移動率之多晶矽的應用，卻因為第1B圖中，化學溶劑未能完全去除多晶矽層104上之光阻殘留，以及多晶矽層104上之化學溶劑的殘留，反而造成其移動率之下降，而且光阻與化學溶劑之殘留現象，更造成其他特性參數落於期望值之外，例如：臨界電壓(threshold



五、發明說明 (3)

voltage) 與次臨界電壓升幅(sub-threshold swing)。

因此，有必要為此問題提出一解決之方法。

【發明內容】

有鑑於此，本發明的目的就是在提供一種無光阻與化學溶劑殘留於閘極上之低溫多晶矽薄膜電晶體的製程方法。

根據本發明的目的，提出一種形成一NMOS電晶體與一PMOS電晶體於一基板上之方法，該方法至少包括：形成一緩衝層於基板上；形成一厚度約為200~1000埃之多晶矽層於緩衝層上；形成一厚度約為500~1500埃之閘極氧化層於多晶矽層上；圖案化閘極氧化層與多晶矽層，以形成對應於NMOS電晶體之第一堆疊結構與對應於PMOS電晶體之第二堆疊結構；形成一由鉬、鉻或鈦/鋁/鈦的其中之一所組成之閘極於閘極氧化層之上；形成NMOS電晶體之源極與汲極，其係利用一覆蓋全部第二堆疊結構與至少覆蓋NMOS電晶體之輕摻雜區域的光阻層為遮罩，並植入劑量約為 $1E14\text{dose}/\text{cm}^2 \sim 5E15\text{dose}/\text{cm}^2$ 之磷摻質而形成；形成NMOS電晶體之輕摻雜區域，其係利用閘極為遮罩，並植入劑量約為 $8E12\text{dose}/\text{cm}^2 \sim 5E13\text{dose}/\text{cm}^2$ 之磷摻質而形成；以及形成PMOS電晶體之源極與汲極，其係利用一覆蓋全部該第一堆疊結構之光阻層為遮罩，並植入劑量約為 $1E14\text{dose}/\text{cm}^2 \sim 5E15\text{dose}/\text{cm}^2$ 之硼摻質而形成。

本發明的形成方法，更包括：形成一厚度約為



五、發明說明 (4)

2000~7000 埃之內層介電層於閘極氧化層、閘極層與基板之上；選擇性地暴露NMOS電晶體與PMOS電晶體之源極、汲極與閘極；形成由鉬、鉻或鈦/鋁/鈦的其中之一所組成之電極，以電性連接被暴露之NMOS電晶體與PMOS電晶體之源極、汲極與閘極；形成一具圖案之保護層於內層介電層與電極之上，具圖案之保護層係暴露一位於畫素區之NMOS電晶體的部分電極；以及形成由銦錫氧化物所組成之透明電極，以電性連接NMOS電晶體之被暴露的部分電極。

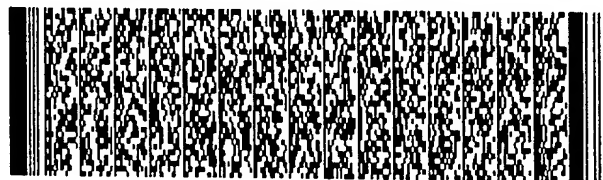
為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本發明係提供一解決因光阻殘留與化學殘留所造成產品品質下降的問題。

請參照第2A~2J圖，其係顯示本發明之低溫多晶矽薄膜電晶體的製作流程。首先，於第2A圖中，一緩衝層202、一多晶矽層204，係依序形成於一基板200上，其中，基板200可為玻璃或塑膠材質，而多晶矽層204的厚度約為200~1000埃，且係利用準分子雷射，對一形成於緩衝層202上之非晶矽層進行結晶回火而形成。緩衝層202可為氧化矽或氮化矽所構成。

接著，在還未對多晶矽層204進行圖案化之前，一閘極氧化層208係直接形成於多晶矽層204上，閘極氧化層



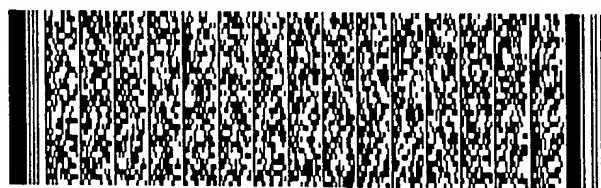
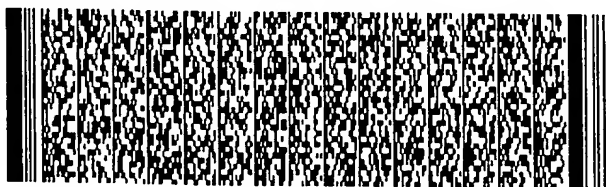
五、發明說明 (5)

208的厚度約為500~1500埃之間，且其材質可為二氧化矽。接著，利用微影製程，形成一具圖案之光阻層205於多晶矽層204之上，並以光阻層205為遮罩，依序蝕刻閘極氧化層208與多晶矽層204，再以化學溶劑去除殘留在閘極氧化層208之上的光阻後，得到如第2B圖所示之結構。其中，左方兩個堆疊結構係用以形成一CMOS電晶體，而右方的堆疊結構係用以形成一畫素區中之NMOS電晶體。

值得注意的是，由於形成閘極氧化層208與形成多晶矽層204之間，並無其他製程步驟，例如：光阻層的形成，或是利用化學溶劑所進行之光阻層的移除，因此，閘極氧化層208與多晶矽層204之間，既不會有光阻層的殘留，亦不會有化學溶劑的殘留，此種改善，對後續所完成之低溫多晶矽薄膜電晶體的品質，將有很大的助益。

接著，參考第2C圖，沈積一導電層於整個基板200之上，並利用微影與蝕刻製程，形成閘極210，閘極210可由鉬(Mo)、鉻(Cr)與鈦/鋁/鈦所組成。然後，於第2D圖中，藉由微影製程，形成一具圖案之光阻層212於基板210之上，光阻層212係裸露CMOS電晶體之NMOS電晶體區域的汲極/源極區域、與畫素區域之NMOS電晶體區域的汲極/源極區域，而覆蓋其他區域。之後，則以光阻層212為遮罩，對基板200植入重濃度之磷摻質，其劑量約為 $1E14\text{dose}/\text{cm}^2 \sim 5E15\text{dose}/\text{cm}^2$ ，以形成NMOS電晶體之源極/汲極區204a、204b、204c與204d。

之後，於第2E圖中，去除殘留之光阻層212，並直接

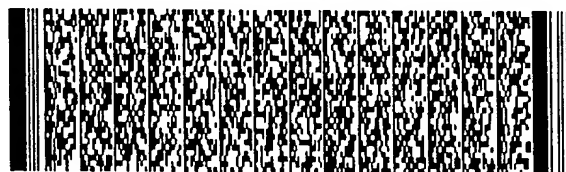


五、發明說明 (6)

以閘極210為遮罩，對基板200植入輕濃度之磷摻質，其劑量約為 $8E12\text{dose}/\text{cm}^2 \sim 5E13\text{dose}/\text{cm}^2$ ，而形成N型電晶體之輕摻雜區204m、204n、204x與204y。接著，於第2F圖中，再次藉由微影製程，形成一具圖案之光阻層光阻層214於基板210之上，光阻層214係完全覆蓋CMOS電晶體之NMOS電晶體區域，以及畫素區域之NMOS電晶體區域，且不覆蓋CMOS電晶體之PMOS電晶體區域。並以光阻層214為遮罩，對基板200植入重濃度之硼摻質，其劑量約為 $1E14\text{dose}/\text{cm}^2 \sim 5E15\text{dose}/\text{cm}^2$ ，以形成PMOS電晶體之源極/汲極區204i與204j。

接著，於第2G圖中，先去除了光阻層214，再形成一內層介電層216於整個基板200之上，並利用微影與蝕刻製程，形成數個開口，於內層介電層216與閘極氧化層208之中，內層介電層216可由二氧化矽組成，其厚度約為2000~7000埃。然後，於第2H圖中，形成一導電層於內層介電層216之上，並填滿位於內層介電層216與閘極氧化層208之中的開口，再利用微影與蝕刻製程，形成可以與閘極210以及源極/汲極區204a、204b、204c、204d、204i與204j之部分，電性連接的電極218。此實施例所顯示係為電極218與源極/汲極區204a、204b、204c、204d、204i與204j電性連接的情形。

接著，於第2I圖中，係形成一保護層220於電極218與內層介電層216之上，並利用微影與蝕刻製程，形成開口於畫素區的保護層220中。最後，於第2J圖中，形成由銦

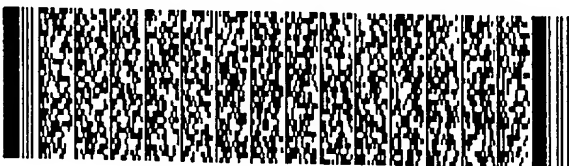


五、發明說明 (7)

錫氧化物(ITO)所組成之導電層於保護層220之上，並填滿保護層220之中的開口，再利用微影與蝕刻製程，形成可以與畫素區之電極218電性連接的透明電極222，以完成具有低溫多晶矽薄膜電晶體的製程。

本發明上述實施例所揭露之製程方法，可以避免因多晶矽層204上之光阻殘留，以及多晶矽層204上之化學溶劑殘留，所造成低溫多晶矽電晶體之移動率(mobility)的下降，以及造成低溫多晶矽電晶體之臨界電壓(threshold voltage)與次臨界電壓升幅(sub-threshold swing)、等特性參數，落於期望值之外。因此，本發明所提供之製程方法，可以提高提高平面顯示器產品之品質。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1A~1J圖，其係顯示一傳統低溫多晶矽薄膜電晶體的製作流程。

第2A~2J圖，其係顯示本發明之低溫多晶矽薄膜電晶體的製作流程。

圖式標號說明

100：基板

102：緩衝層

104：多晶矽層

104a、104b、104c、104d、104i、104j：源極/汲極

區

104m、104n、104x、104y：輕摻雜區

105：光阻層

108：閘極氧化層

110：閘極

112：光阻層

114：光阻層

116：內層介電層

118：電極

120：保護層

122：透明電極

200：基板

202：緩衝層



圖式簡單說明

204 : 多晶矽層

204a、204b、204c、204d、204i、204j : 源極/汲極區

區

204m、204n、204x、204y : 輕摻雜區

205 : 光阻層

208 : 閘極氧化層

210 : 閘極

212 : 光阻層

214 : 光阻層

216 : 內層介電層

218 : 電極

220 : 保護層

222 : 透明電極



六、申請專利範圍

1. 一種形成低溫多晶矽薄膜電晶體之方法，該方法至少包括：

形成一多晶矽層於該基板上；

形成一閘極氧化層於該多晶矽層上；

圖案化該閘極氧化層與該多晶矽層，其係利用微影與蝕刻製程完成；

形成一閘極於該閘極氧化層之上；以及

植入摻質，其係以該閘極為遮罩，以形成源極與汲極。

2. 如申請專利範圍第1項所述之方法，其中該形成一多晶矽步驟之前，更包括形成一緩衝層於該基板上之步驟。

3. 如申請專利範圍第1項所述之方法，其中該多晶矽層的厚度約為200~1000埃。

4. 如申請專利範圍第1項所述之方法，其中該閘極氧化層的厚度約為500~1500埃。

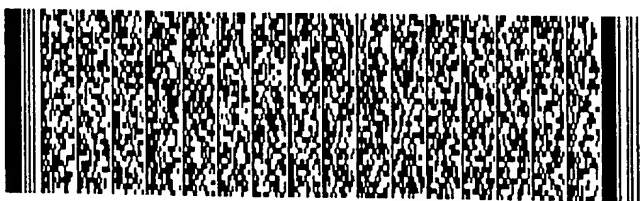
5. 如申請專利範圍第1項所述之方法，其中該閘極係為鉬、鉻或鈦/鋁/鈦的其中之一所組成。

6. 如申請專利範圍第1項所述之方法，其中該植入摻質的劑量約為 $1E14\text{dose}/\text{cm}^2 \sim 5E15\text{dose}/\text{cm}^2$ 。

7. 一種形成一第一型電晶體與一第二型電晶體於一基板上之方法，該方法至少包括：

形成一多晶矽層於該基板上；

形成一閘極氧化層於該多晶矽層上；



六、申請專利範圍

圖案化該閘極氧化層與該多晶矽層，以形成對應於該第一型電晶體之第一堆疊結構與對應於該第二型電晶體之第二堆疊結構；

形成一閘極於該閘極氧化層之上，該閘極係小於該閘極氧化層；

形成該第一型電晶體之源極與汲極，其係利用一覆蓋全部該第二堆疊結構以及至少覆蓋該第一型電晶體之輕摻雜區域的光阻層為遮罩，並植入第一重摻質而形成；

形成該第一型電晶體之輕摻雜，其係利用該閘極為遮罩，並植入第一輕摻質而形成；以及

形成該第二型電晶體之源極與汲極，其係利用一覆蓋全部該第一堆疊結構之光阻層為遮罩，並植入第二重摻質而形成。

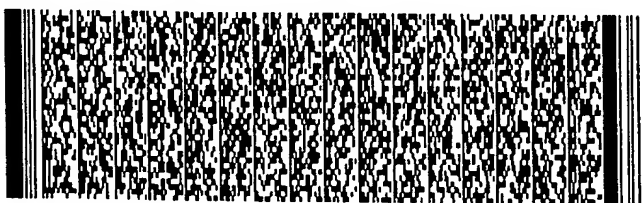
8. 如申請專利範圍第7項所述之方法，其中該形成一多晶矽步驟之前，更包括形成一緩衝層於該基板上之步驟。

9. 如申請專利範圍第7項所述之方法，於該形成第二型電晶體之源極與汲極步驟之後，更包括：

形成一內層介電層於該閘極氧化層、該閘極與該基板之上；

選擇性地暴露該第一型電晶體與該第二型電晶體之源極、汲極與閘極；以及

形成電極以電性連接被暴露之該第一型電晶體與該第二型電晶體之源極、汲極與閘極。



六、申請專利範圍

10. 如申請專利範圍第9項所述之方法，其中該內層介電層的厚度約為2000~7000埃。

11. 如申請專利範圍第9項所述之方法，其中該電極係為鉬、鉻或鈦/鋁/鈦的其中之一所組成。

12. 如申請專利範圍第9項所述之方法，於該形成電極步驟之後，更包括：

形成一具圖案之保護層於該內層介電層與該電極之上，該具圖案之保護層係暴露一位於畫素區之第一型電晶體的部分電極；以及

形成透明電極以電性連接第一型電晶體之被暴露的部分電極。

13. 如申請專利範圍第12項所述之方法，其中該透明電極係為銦錫氧化物(ITO)所組成。

14. 如申請專利範圍第7項所述之方法，其中該多晶矽層的厚度約為200~1000埃。

15. 如申請專利範圍第7項所述之方法，其中該閘極氧化層的厚度約為500~1500埃。

16. 如申請專利範圍第7項所述之方法，其中該閘極係為鉬、鉻或鈦/鋁/鈦的其中之一所組成。

17. 如申請專利範圍第7項所述之方法，其中該第一重摻質的劑量約為 $1E14\text{dose}/\text{cm}^2 \sim 5E15\text{dose}/\text{cm}^2$ 。

18. 如申請專利範圍第7項所述之方法，其中該第一輕摻質的劑量約為 $8E12\text{dose}/\text{cm}^2 \sim 5E13\text{dose}/\text{cm}^2$ 。

19. 如申請專利範圍第7項所述之方法，其中該第二



六、申請專利範圍

重摻質的劑量約為 $1E14\text{dose}/\text{cm}^2 \sim 5E15\text{dose}/\text{cm}^2$ 。

20. 如申請專利範圍第7項所述之方法，其中該第一型電晶體係為NMOS電晶體，該第二型電晶體係為PMOS電晶體。





A large, dense, black and white abstract pattern, possibly a high-resolution scan of a textured surface or a complex digital artifact. The pattern consists of numerous small, irregular black shapes and lines scattered across a white background, creating a complex, noisy texture. The overall appearance is that of a heavily degraded or corrupted image, or perhaps a close-up of a rough, metallic surface.



100

1000



100



Figure 1



114-1001

第 10/16 頁



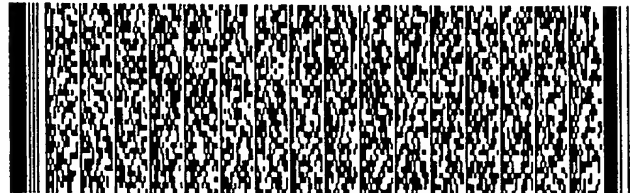
第 11/16 頁



第 12/16 頁



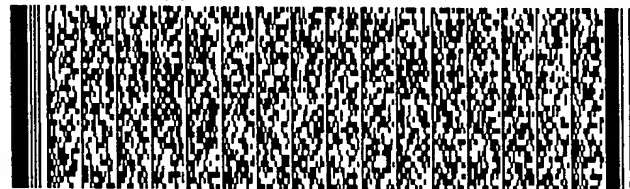
第 13/16 頁



第 14/16 頁

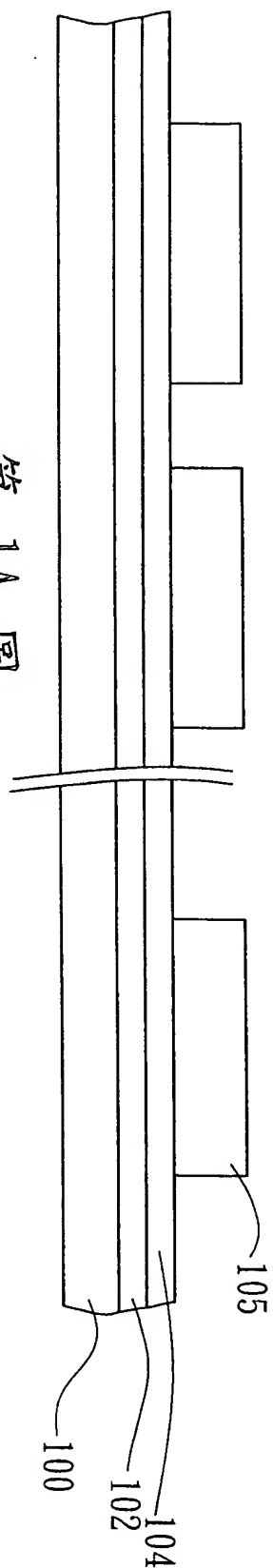


第 15/16 頁

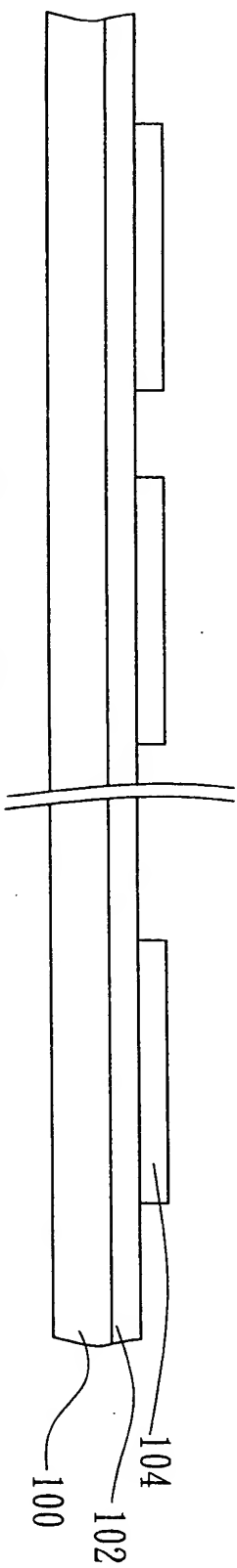


第 16/16 頁

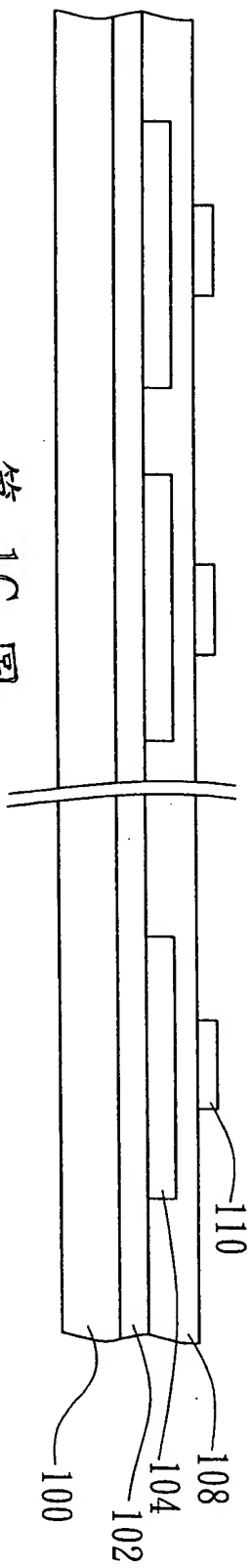




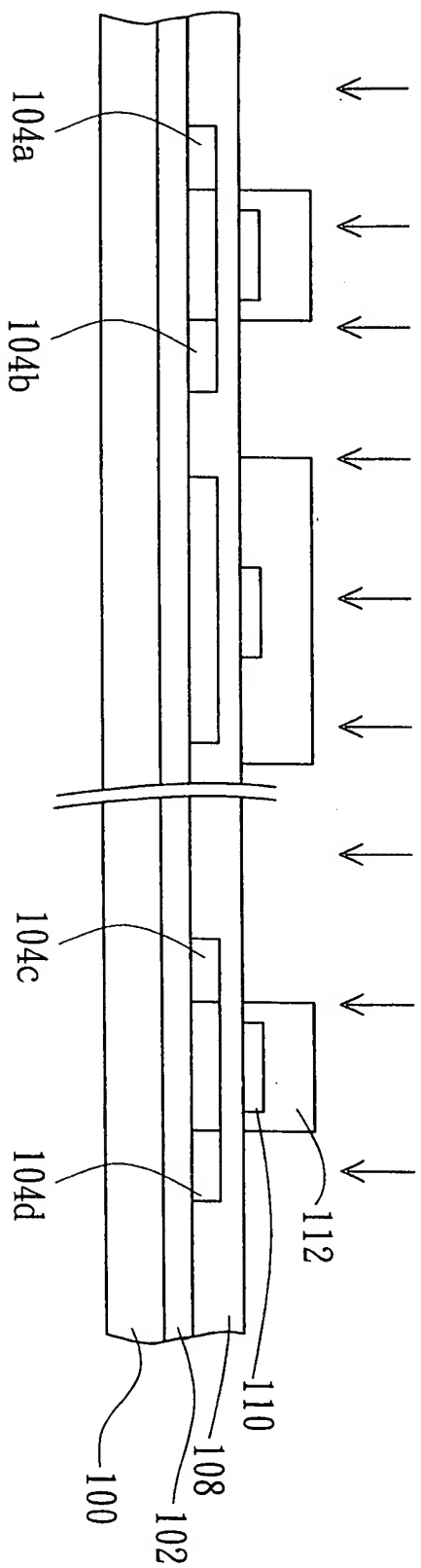
第 1A 圖



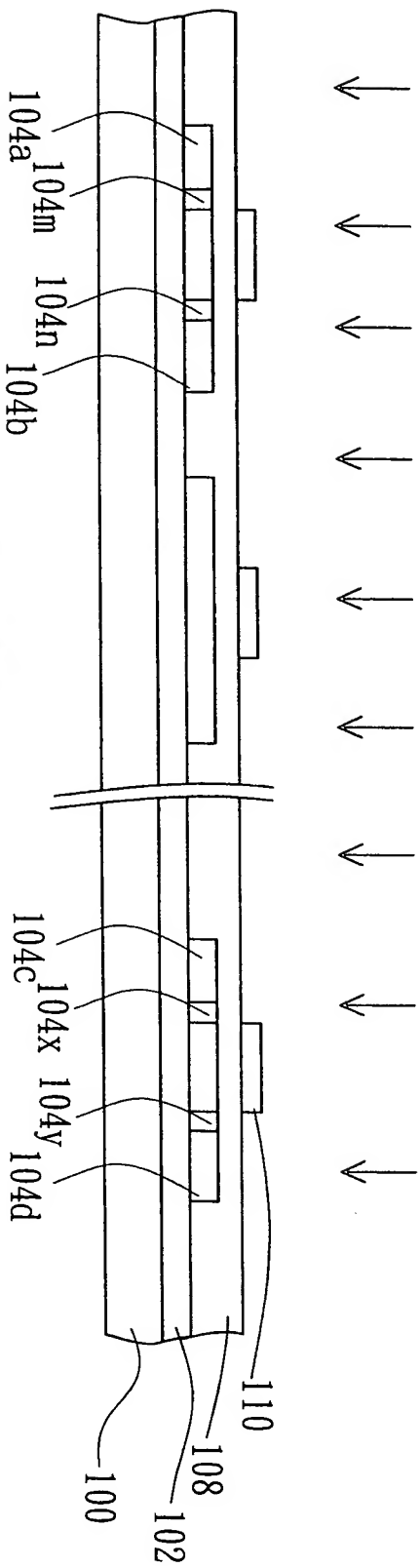
第 1B 圖



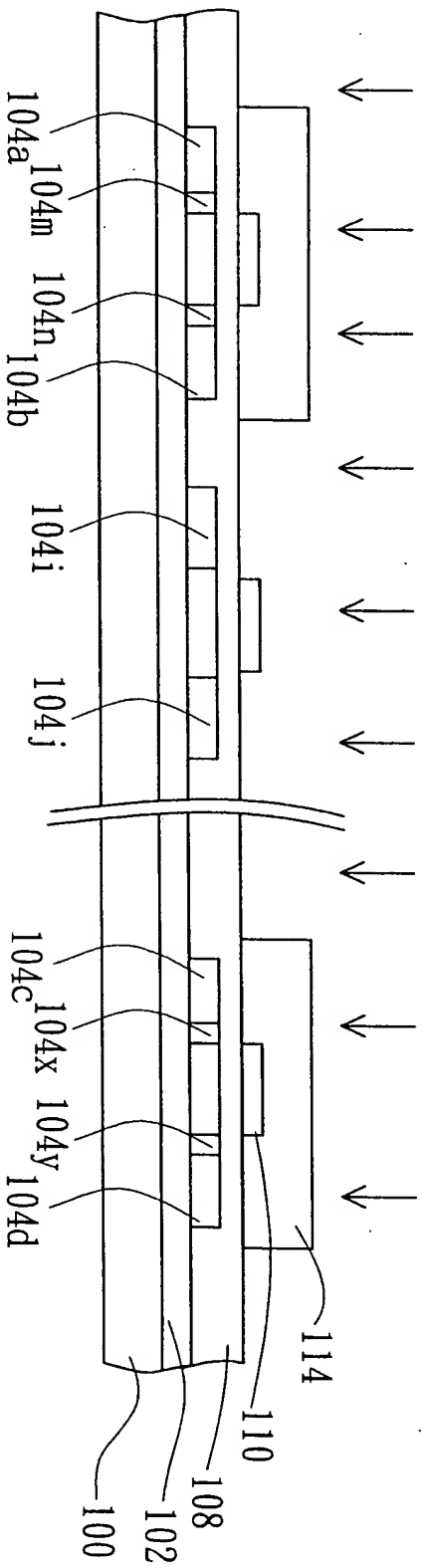
第 1C 圖



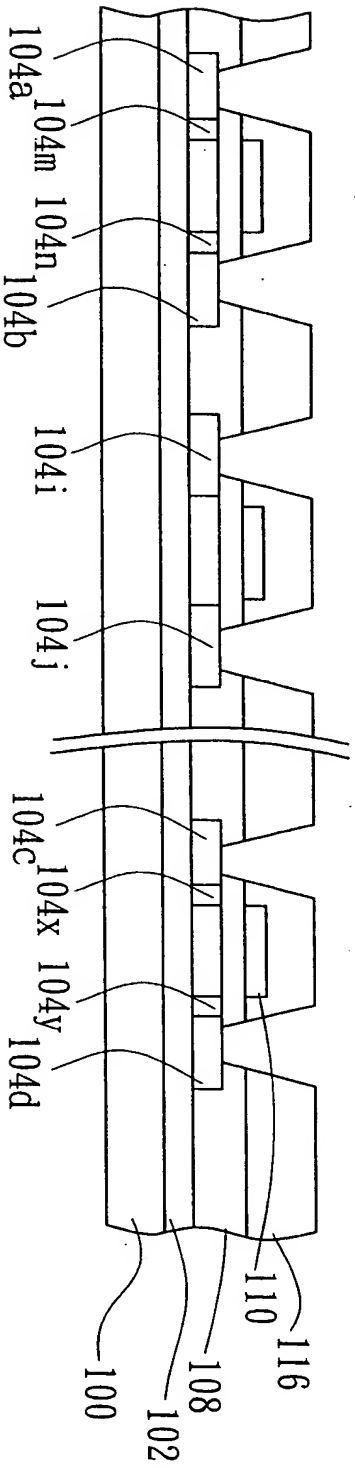
第 1D 圖



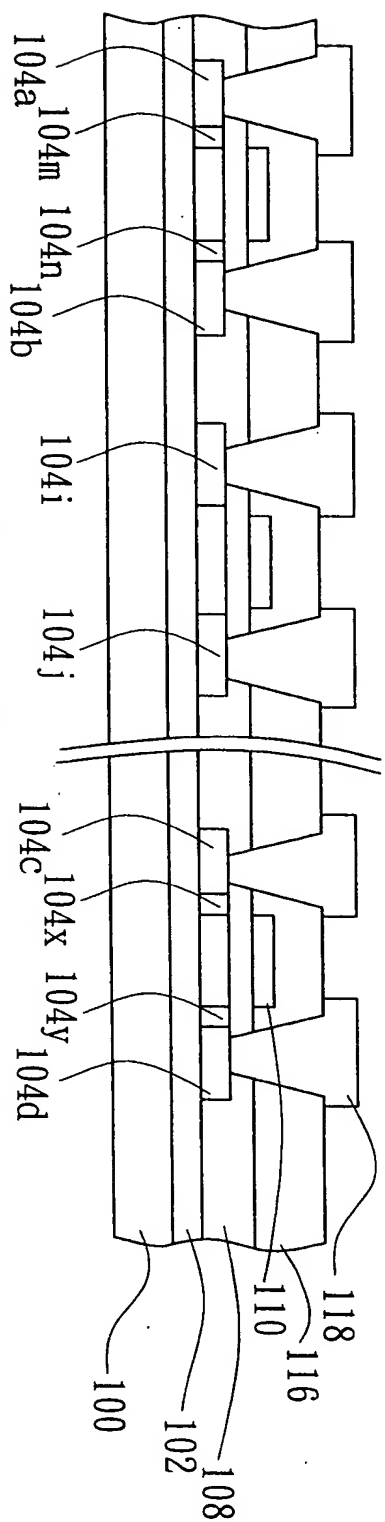
第 1E 圖



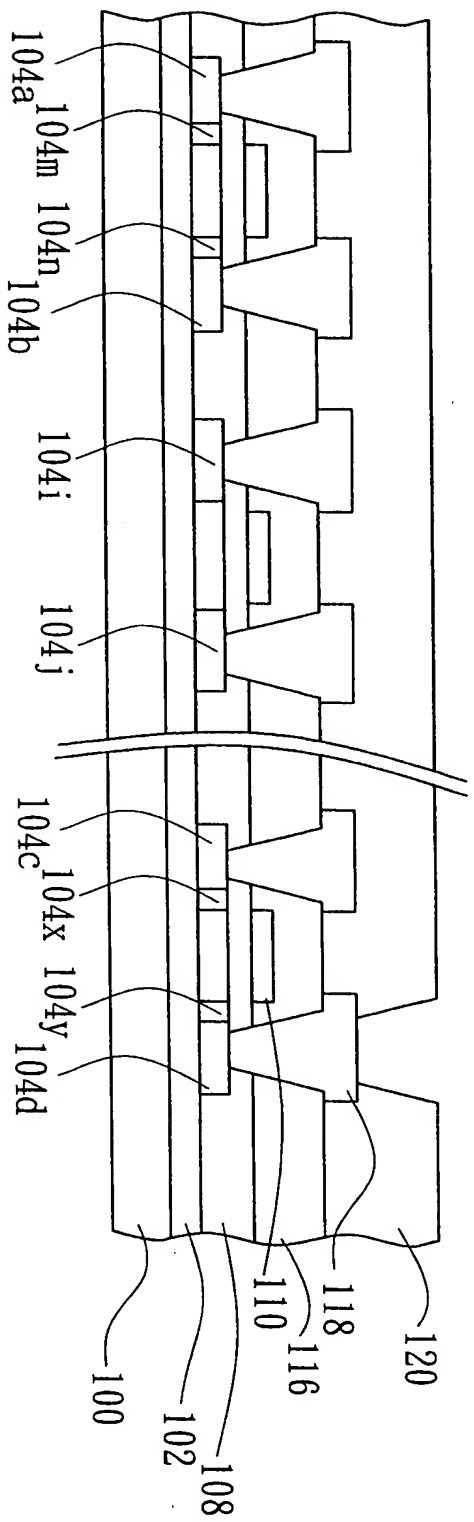
第 1F 圖



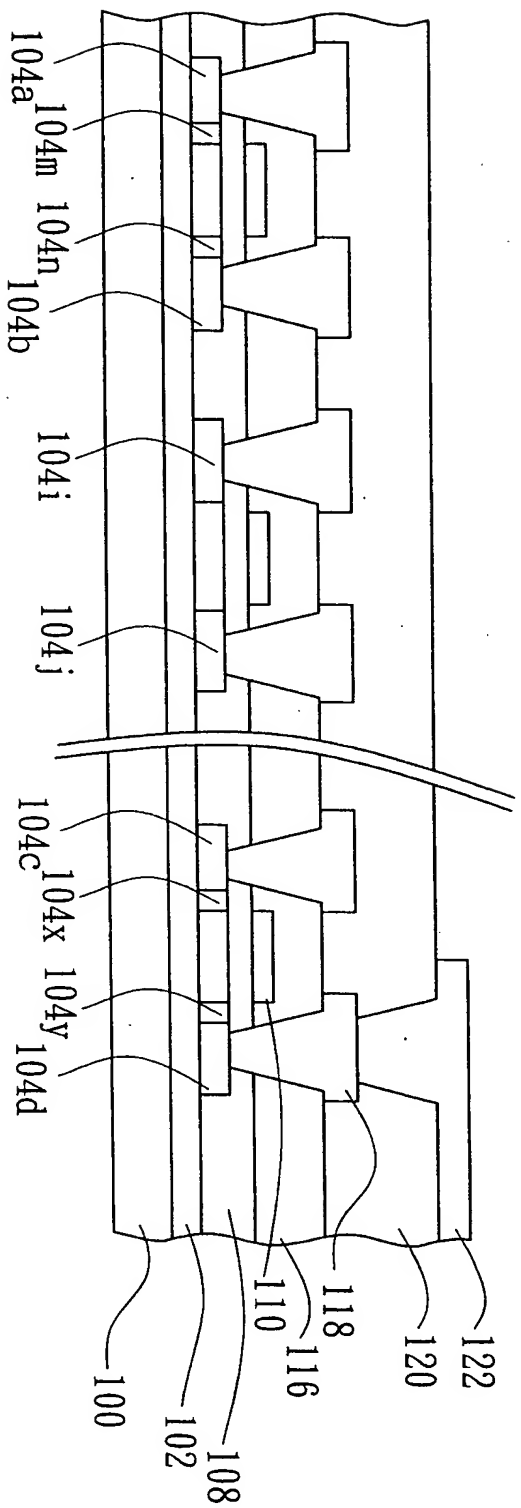
第 1G 圖



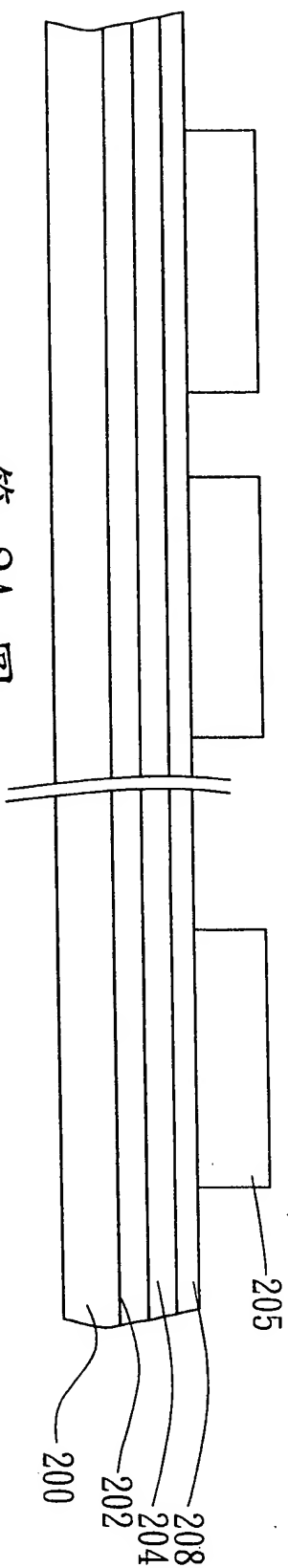
第 1H 圖



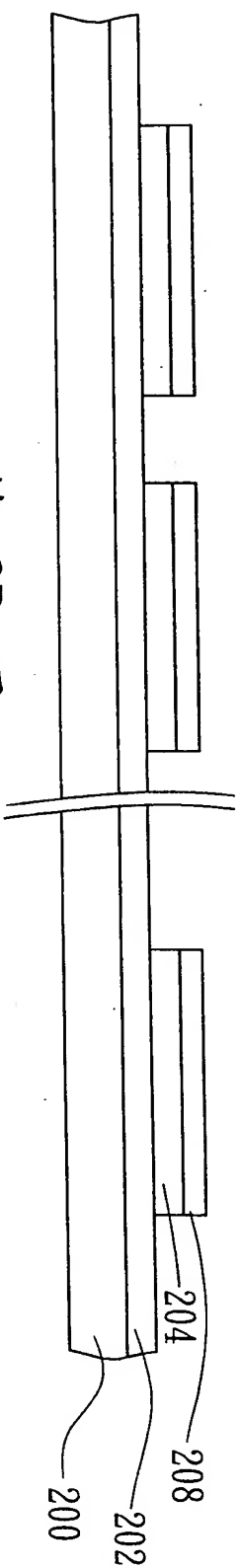
第 1I 圖



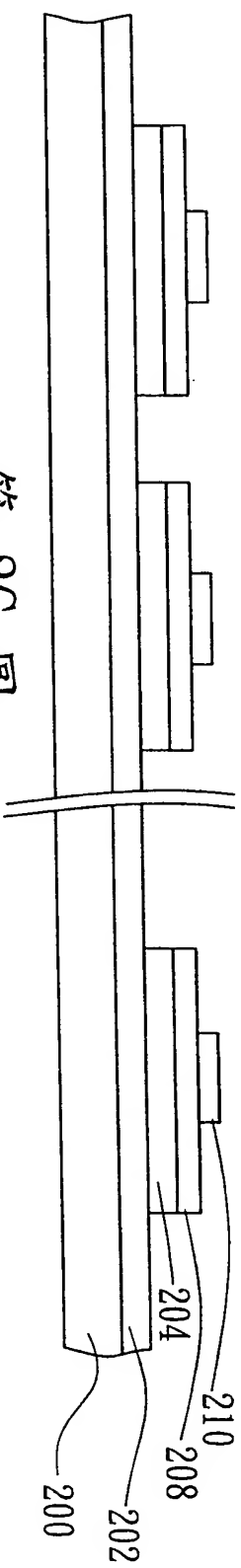
第 1J 圖



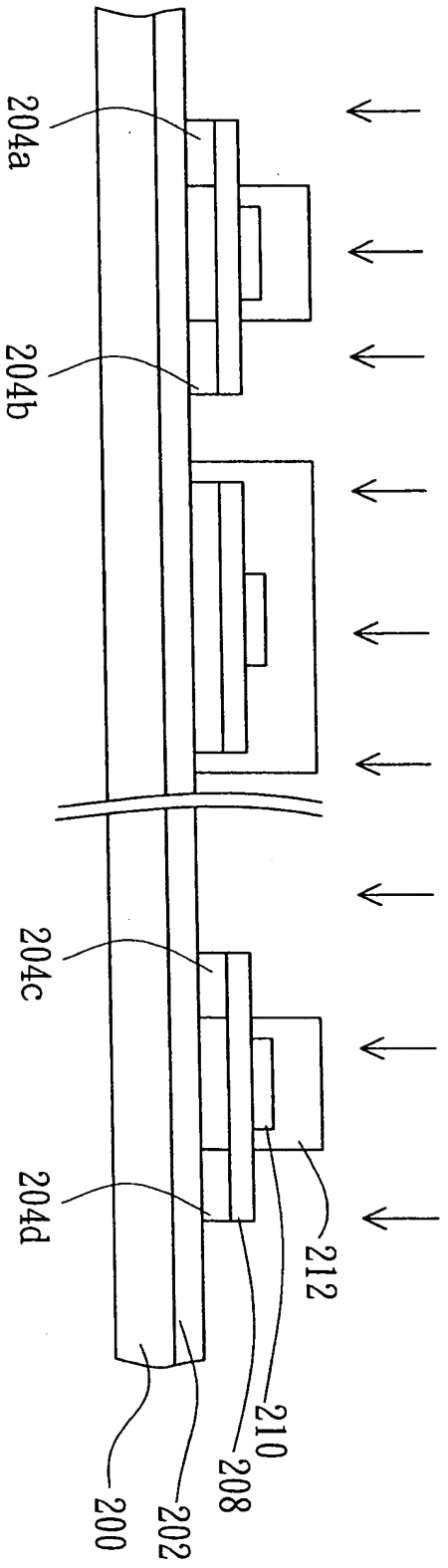
第 2A 圖



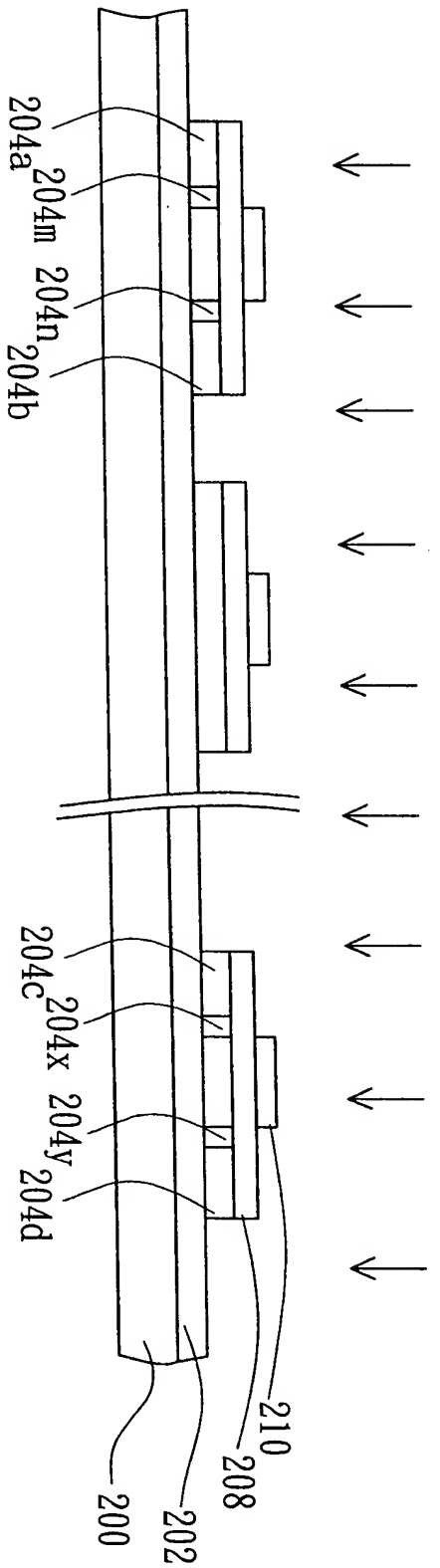
第 2B 圖



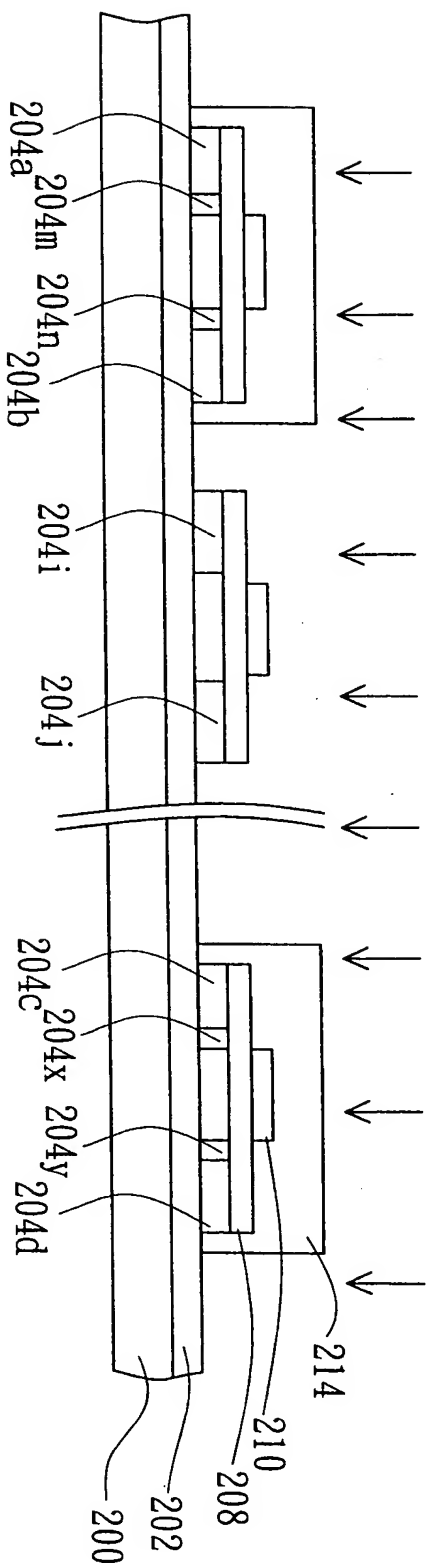
第 2C 圖



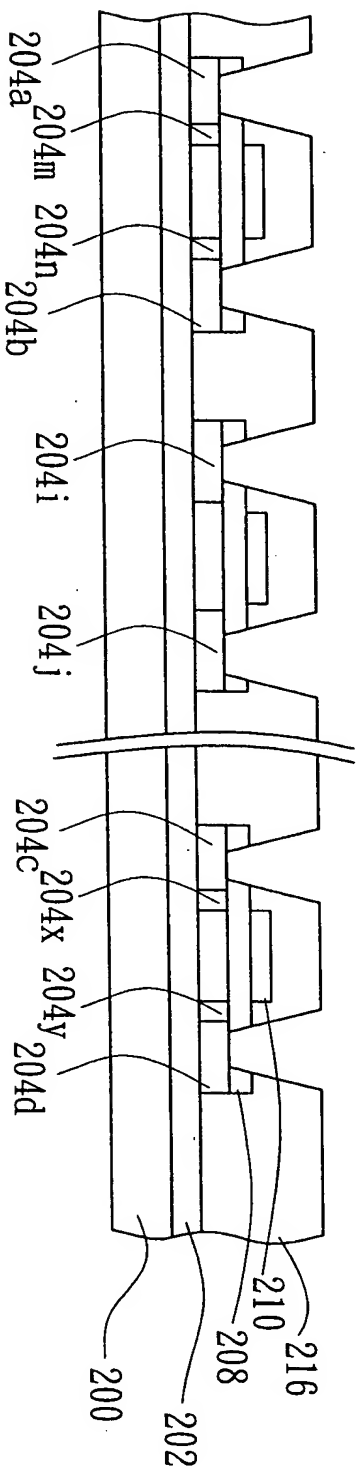
第 2D 圖



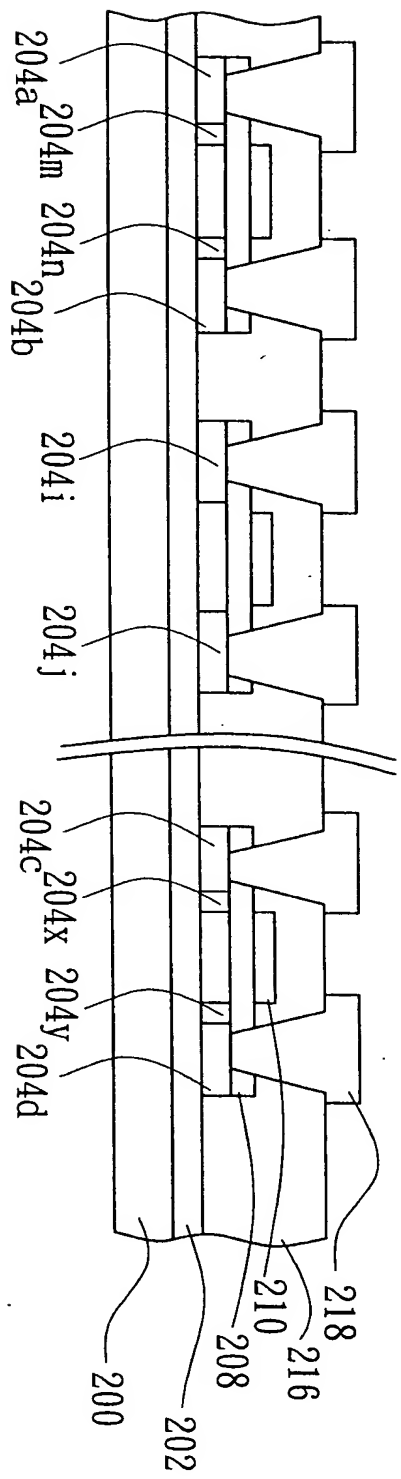
第 2E 圖



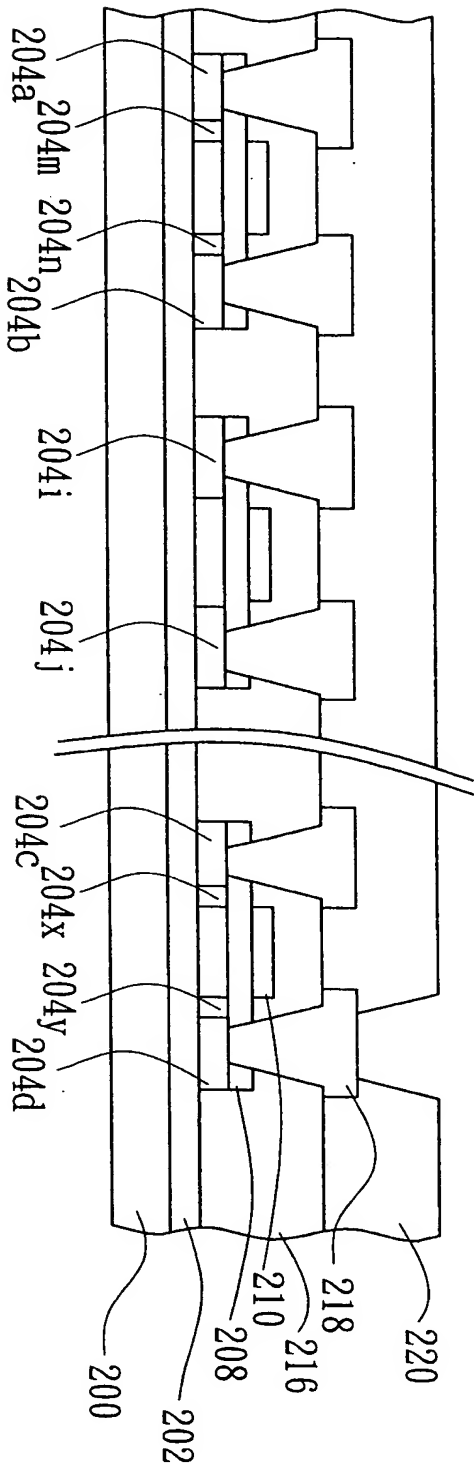
第 2F 圖



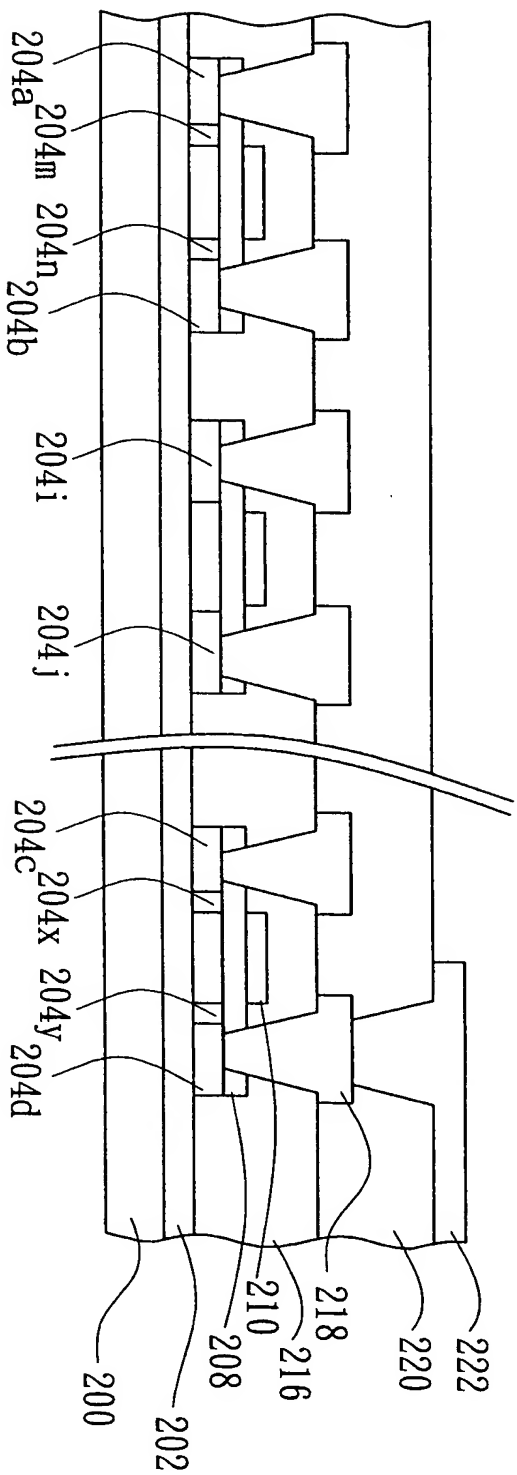
第 2G 圖



第 2H 圖



第 2I 圖



第 2J 圖